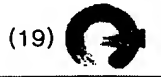


BEST AVAILABLE COPY



KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020000043233 A
(43)Date of publication of application: 15.07.2000

(21)Application number: 1019980059583
(22)Date of filing: 28.12.1998

(71)Applicant: HYUNDAI ELECTRONICS
IND. CO., LTD.
(72)Inventor: CHO, SEONG IK

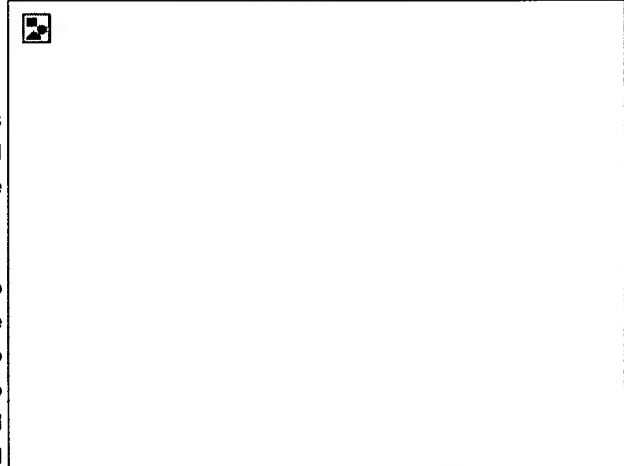
(51)Int. Cl. H03K 5/00

(54) DUTY CYCLE COMPENSATING APPARATUS

(57) Abstract:

PURPOSE: A duty cycle compensating apparatus is provided to reduce errors with the supply of a good quality clock by controlling the duty ratio of a pulse signal in 50:50 precisely.

CONSTITUTION: A phase controller(100) controls to generate two clock signals having a phase difference of 180 degrees and the same period with respect to a signal of an input clock source. A duty ratio controller(200) latches a pulse signal by each period under the control of two clock signals generated from the phase controller(100) in order for the duty ratio of an output pulse signal to be 50:50. The phase controller(100) includes plural delay units(10-13) for receiving the signal of the input clock source to be transmitted while adding a delay at the same ratio.



COPYRIGHT 2000 KIPO

Legal Status

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶ (11) 공개번호 특2000-0043233
H03K 5/00 (43) 공개일자 2000년07월15일

(21) 출원번호 10-1998-0059583
(22) 출원일자 1998년12월28일
(71) 출원인 현대전자산업 주식회사 김영환
경기도 이천시 부발읍 아미리 산 136-1
(72) 발명자 조성익
전라북도 전주시 완산구 서신동 762-2 성원아파트 107동 1703호
(74) 대리인 이정훈, 이후동

심사청구 : 없음

(54) 듀티 사이클 보정장치

요약

본 발명은 반도체분야 및 산업전자분야에서 구형파 펄스를 입력으로 하는 모든 회로내에 사용되는 듀티 사이클 보정장치에 관한 것으로, 특히 입력클럭원 신호에 대하여 상하 180°의 위상차 및 동일주기를 갖는 두 클럭신호를 발생시키도록 제어하는 위상 제어수단과; 상기 위상 제어수단으로부터 발생된 두 클럭신호의 제어하에 발생된 각 주기별 펄스신호를 래치시켜 출력 펄스신호의 듀티비가 50 : 50이 되도록 조절하는 듀티비 조절수단을 구비함으로써, 외부로부터 인가되는 기준입력 클럭원 신호가 외부조건에 의해 듀티의 변형을 가져오더라도 정확한 듀티비를 갖는 양질의 클럭을 발생시킬 수 있도록 한 듀티 사이클 보정장치에 관한 것이다.

도표도

도1

명세서

도면의 간단한 설명

도 1 은 본 발명에 따른 듀티 사이클 보정장치의 구성도.
도 2 는 도 1 에 도시된 듀티 사이클 보정장치의 동작 타이밍도

<도면의 주요부분에 대한 부호의 설명>

10~13: 딜레이부 20: 위상 주파수 감지부
30: 딜레이양 조절부 40, 41: 펄스 발생부
50: 래치부 60: 출력 안정화부
100: 위상 제어수단 200: 듀티비 조절수단

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체분야 및 산업전자분야에서 구형파 펄스를 입력으로 하는 모든 회로내에 사용되는 듀티 사이클 보정장치에 관한 것으로, 보다 상세하게는 180°의 위상차를 갖는 두 클럭신호를 이용하여 입력클럭원에 대한 듀티비를 50 : 50으로 정확히 제어하도록 한 듀티 사이클 보정장치에 관한 것이다.

일반적으로, 종래에 사용된 듀티 사이클 보정장치는 입력 클럭원의 듀티 사이클 차이만큼 전압차를 발생시킨 후, 4개의 입력을 갖는 차동 증폭회로를 이용하여 상기 입력 클럭원과 절충시키면서 듀티 사이클을 보정하게 되며, 또한 입력신호를 사인파(sinewave)로 사용하고 상기 사인파(sinewave)의 레벨을 이동시키기 위한 하나의 신호를 추가시켜서 듀티 사이클을 보정동작을 수행하게 된다.

그래서, 아날로그 회로상에서 입력되어지는 펄스(듀티비가 다른 클럭펄스)와 기준레벨을 갖는 DC레벨의 신호를 가져야만 한다.

그리고, 아날로그 방식의 듀티 사이클 보정장치는 입력되는 클럭펄스의 듀티비(duty ratio)에 대한 규정이 있어서 상기 규정에 대해 듀티비가 틀려지게 되면 확실한 보정을 할 수 없게되어 보정범위가 한정되는

문제점이 있다.

뿐만 아니라, 전류소모 및 칩의 면적이 매우 크고, 잡음에 대해서는 매우 취약한 문제점이 있다.

발명이 이루고자하는 기술적 과제

따라서, 본 발명은 상기 문제점을 해결하기 위하여 이루어진 것으로, 본 발명의 목적은 디지털로 구현하여 마날로그 구조가 갖는 취약점을 보완하도록 함과 동시에, 입력클럭원 에 대한 180°의 위상차를 갖고 발생된 2개의 클럭신호를 사용하여 듀티 사이클을 일정하므로써 50 : 50의 정확한 듀티비를 갖는 출력신호를 발생시키도록 한 듀티 사이클 보정장치를 제공하는데 있다.

상기 목적을 달성하기 위하여, 본 발명에 의한 듀티 사이클 보정장치는 입력클럭원 신호에 대하여 상호 180°의 위상차 및 동일주기를 갖는 두 클럭신호를 발생시키도록 제어하는 위상 제어수단과;

상기 위상 제어수단으로부터 발생된 두 클럭신호의 제어하에 발생된 각 주기별 펄스신호를 래치시켜 출력 펄스신호의 듀티비가 50 : 50이 되도록 조절하는 듀티비 조절수단을 구비하는 것을 특징으로 한다.

발명의 구성 및 작용

상술한 목적 및 기타의 목적과 본 발명의 특징 및 이점은 첨부된 도면과 관련한 다음의 상세한 설명을 통하여 보다 분명해 질 것이다. 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 상세히 설명하면 다음과 같다.

도 1은 본 발명에 따른 듀티 사이클 보정장치의 구성도를 나타낸 것으로, 입력클럭원 신호(in_CLK)에 대하여 상호 180°의 위상차 및 동일주기를 갖는 두 클럭신호(360, CLK, 180, CLK)를 발생시키도록 제어하는 위상 제어수단(100)과; 상기 위상 제어수단(100)으로부터 발생된 두 클럭신호(360, CLK, 180, CLK)의 제어하에 발생된 각 주기별 펄스신호(pulse 360, , pulse 180,)를 래치시켜 출력 펄스신호(Vout+, Vout-)의 듀티비가 50 : 50이 되도록 조절하는 듀티비 조절수단(200)으로 구성된다.

상기 위상 제어수단(100)은 상기 입력클럭원 신호(in_CLK)를 전달받아 동일비율로 딜레이를 추가하면서 전달시키는 상호 직렬연결된 다수의 딜레이부(10~13)와; 상기 다수의 딜레이부(10~13) 중 최종 딜레이부(13)에서 출력되는 신호(360, CLK)와 초기의 입력클럭원 신호(in_CLK)를 입력받아 이들 두신호의 비교에 의해 주기 및 위상차를 검출하게 되는 위상 주파수 감지부(20)와; 상기 위상 주파수 감지부(20)의 출력신호(up, down)를 샘플링하여 상기 다수의 딜레이부(10~13) 각각으로 딜레이양 가감 제어신호(Vc)를 전달하므로써, 상기 다수의 딜레이부(10~13)에서 형성되는 총 지연시간(dt1+dt2+dt3+dt4)이 상기 입력클럭원신호(in_CLK)의 주기(Tcyc)와 동일해지도록 제어하는 딜레이양 조절부(30)를 구비하여 구성된다.

동 도면의 경우, 상기 위상 제어수단(100)내 다수의 딜레이부를 4개의 딜레이부(10~13)로 구성하여 각각 90.의 위상차를 갖고 지연된 신호를 발생시키도록 제어하고 있지만, 이는 6개, 8개, ...등의 지연부로 구현하여 각각 60. , 45. , ...의 위상지연을 이루도록 구현할 수도 있다.

그리고, 상기 듀티비 조절수단(200)은 상기 위상 제어수단(100)으로부터 180°의 위상차를 갖고 발생된 두 클럭신호(360, CLK, 180, CLK)를 각각 입력받아 일정주기(이 주기는 'Tcyc'가 됨)를 갖는 펄스신호(pulse 360, , pulse 180,)를 발생시키는 제1 및 제2 펄스 발생부(40, 41)와; 상기 제1 및 제2 펄스 발생부(40, 41)로부터 발생된 펄스신호(pulse 360, , pulse 180,)를 입력받아 이들의 상태에 따라 각각 다른 전위레벨의 신호를 래치시키는 래치부(50)와; 상기 래치부(50)의 출력단에 연결되어 상기 제1 및 제2 펄스 발생부(40, 41)에서 발생되는 펄스신호의 펄스폭이 매우 작은 경우에도 상기 래치부(50)의 안정된 동작을 보장하여 출력을 안정화시키는 출력 안정화부(60)를 구비한다.

이때, 상기 제1 및 제2 펄스 발생부(40, 41)는 각각의 입력신호(360, CLK, 180, CLK)를 소정의 시간 반전 딜레이시켜 전달하도록 직렬연결된 홀수개의 인버터(11~13)와; 상기 최종 인버터(13)의 출력신호 및 상기 입력신호(360, CLK, 180, CLK)를 전달받아 이들 앤드조합하는 논리소자(동 도면에서는 직렬연결된 NAND1과 14로 도시됨)로 구성된다.

또한, 상기 래치부(50)는 2개의 노아게이트(NOR1, NOR2)로 이루어진 RS-플립플롭으로 구성된다.

그리고, 상기 출력 안정화부(60)는 상기 래치부(50)를 구현하는 RS-플립플롭구조의 두 노아게이트(NOR1, NOR2)의 출력단에 각각 연결되며 입·출력단이 상호 피드백되어 연결된 두개의 인버터(15, 16)로 구성된다.

도 2는 도 1에 도시된 듀티 사이클 제어장치의 동작 타이밍도를 나타낸 것으로, 이하 상기 도면을 참조하여 본 발명의 동작을 자세히 살펴보기로 한다.

우선, 위상 제어수단(100)에서는 일정주기(Tcyc)를 갖고 외부에서 인가되는 클럭신호(in_CLK)와 상기 4개의 직렬연결된 딜레이부(10~13: 각각은 90.의 위상지연을 실행함)를 거친 신호(360, CLK)가 위상 주파수 감지부(20)로 입력되면, 상기 위상 주파수 감지부(20)에서는 입력된 두 신호(in_CLK, 360, CLK)의 주기 및 위상차를 검출하여 그 검출결과에 따라 제어신호(up, down)를 다르게 조절하여 후단에 연결된 딜레이양 조절부(30)에 전달하게 된다.

그러면, 상기 딜레이양 조절부(30)는 전달받은 신호(up, down)를 샘플링하여 최종적으로 딜레이양 가감 제어신호(Vc)를 상기 다수의 딜레이부(10~13)에 동시에 전달하게 되며, 상기 제어신호(Vc)의 상태에 따라 상기 다수의 딜레이부(10~13)에서는 실질적인 딜레이 가감이 행해진다.

예를들면, 초기에 상기 다수의 딜레이부(10~13)에서 이루어지는 총 딜레이양(dt1+dt2+dt3+dt4)이 많아서 이를 거친 최종 출력신호(360, CLK)가 입력클럭원 신호(in_CLK)보다 느려지게 되면, 상기 위상 주파수 감지부(20)는 이를 감지하여 그 출력 제어신호로 up신호는 '로직하이'의 신호를 계속 출력하며, down신호로는 '로직로우'의 신호를 계속 출력하게 된다.

그러면, 상기 딜레이양 조절부(30)는 상기 위상 주파수 감지부(20)로부터 전달받은 신호(up, down)에 의해 그 출력신호(Vc)의 전위레벨을 높여서 후단에 연결된 다수의 딜레이부(10~13)의 딜레이량을 감소하게 된다.

상기 동작의 반복에 의해, 최종적으로 다수의 딜레이부(10~13)에서 이루어지는 딜레이의 합($dt_1+dt_2+dt_3+dt_4$)이 입력클럭원 신호(in_CLK)의 주기(Tcyc)와 동일하게 된다.

따라서, 상기 다수개의 딜레이부(10~13) 중 반에 해당하는 딜레이부(도 1 에 도시된 실시예의 경우는 전체 딜레이부의 수가 4개이므로, 2개의 딜레이부가 된다)에 의해 이루어지는 딜레이량은 입력클럭원 신호 주기의 반주기에 해당하며, 위상으로 보면 180.의 위상차가 나타나게 된다.

이에따라, 입력클럭원 신호(in_CLK)를 사용해 180.의 위상차를 갖는 두 클럭신호(180. CLK, 360. CLK)를 발생시킬 수 있게 되는 것이다(도 2 의 (a) 와 (b)로 도시됨).

다음으로, 듀티비 조절수단(200)의 동작을 살펴보기로 한다.

우선, 도 2 의 (a) 와 (b)에 각각 도시된 바와 같이 상기 위상 제어수단(100)으로부터 발생된 180.의 위상차를 갖고 발생되는 두 클럭신호(360. CLK, 180. CLK)를 각각의 펄스 발생부(40, 41)에서 입력받아 도 2 의 (e)와 (d)에 각각 도시된 바와 같이 소정의 펄스폭을 갖는 펄스신호(pulse 360., pulse 180.)를 일정주기(Tcyc)를 갖고 발생시키게 된다.

그리고, 상기 도 2 의 (d) 와 (e) 에 각각 도시된 두 신호(pulse 180., pulse 360.)는 후단에 연결된 래치부(50)를 이루는 RS-플립플롭의 두 노아게이트(NOR1, NOR2)입력단으로 각각 인가되는데, RS-플립플롭의 동작 특성상 두 입력신호(pulse 180., pulse 360.)의 상태에 따라 다음과 같이 그 출력신호(Vout+, Vout-)의 상태가 달라지게 된다.

우선, 상기 pulse 180. 신호가 '로직하이'레벨이고 상기 pulse 360. 신호가 '로직로우'레벨로 인가되면 출력신호(Vout+)로는 '로직하이'의 신호가 출력되며, 반대로 상기 pulse 180. 신호가 '로직로우'레벨이고 상기 pulse 360. 신호가 '로직하이'레벨로 인가되면 그 출력신호(Vout+)는 '로직로우'의 신호가 출력된다.

그리고, 두 입력신호(pulse 180., pulse 360.)가 모두 '로직로우'레벨의 신호로 입력되면 그 출력신호(Vout+)는 이전의 출력값을 그대로 유지하게 된다(도 2 의 (f) 와 (g) 참조).

도 2 의 타이밍도를 통해 알 수 있듯이, 상기 래치부의 두 입력신호(pulse 180., pulse 360.)가 동시에 '로직하이'레벨로 유지되는 구간은 없는데, 이는 고주파수동작으로 전환될 경우에 대비해 상기 펄스 발생부(40, 41)를 이루는 직렬연결된 인버터(11~13)를 거쳐 발생하는 360. delay신호가 입력클럭원 신호(in_CLK)의 반주기(Tcyc/2)보다는 반드시 작은 지연을 갖도록, 상기 직렬연결된 인버터의 수에 의해 조절하기 때문이다.

또한, 상기 펄스 발생부(40, 41)에서 발생되는 펄스신호(pulse 180., pulse 360.)의 펄스폭이 너무 작으면, 상기 신호(pulse 180., pulse 360.)를 입력받아 동작하는 RS-플립플롭이 오동작을 할 수 있기 때문에, 이들 신호(pulse 180., pulse 360.)의 펄스폭도 고주파수동작으로 가면서 일정수치 이상의 펄스폭을 갖도록 제한되는데, 상기 RS-플립플롭으로 구성된 래치부(50)의 출력단에 출력 안정화부(60)를 추가함으로써 상기 두 펄스신호(pulse 180., pulse 360.)들이 보다 작은 펄스폭으로도 안정된 래치동작을 수행할 수 있도록 한다.

발명의 효과

이상에서 설명한 바와같이 본 발명에 따른 듀티 사이클 보정장치에 의하면, 외부로부터 인가되는 기준클럭이 외부조건에 의해 듀티의 변형을 가져오더라도 출력단으로 출력되는 펄스신호의 듀티비를 50 : 50으로 정확히 제어함으로써, 양질의 클럭을 공급할 수 있게되어 회로 디자인결과에 대한 에러를 줄일 수 있는 매우 뛰어난 효과가 있다.

또한, 디지털 회로로 구현함으로써 저전압/저전력, 호환성, 사용면적, 비용면에서 큰 이득을 얻을 수 있는 매우 뛰어난 효과가 있다.

마를러 본 발명의 바람직한 실시예들은 예시의 목적을 위해 개시된 것이며, 당업자라면 본 발명의 사상과 범위 안에서 다양한 수정, 변경, 부가 등이 가능할 것이며, 이러한 수정 변경 등은 이하의 특허청구의 범위에 속하는 것으로 보아야 할 것이다.

(57) 청구의 범위

청구항 1. 입력클럭원 신호에 대하여 상호 180°의 위상차 및 동일주기를 갖는 두 클럭신호를 발생시키도록 제어하는 위상 제어수단과;

상기 위상 제어수단으로부터 발생된 두 클럭신호의 제어하에 발생된 각 주기별 펄스신호를 래치시켜 출력 펄스신호의 듀티비가 50 : 50이 되도록 조절하는 듀티비 조절수단을 구비하는 것을 특징으로 듀티 사이클 보정장치.

청구항 2. 제 1 항에 있어서,

상기 위상 제어수단은 상기 입력클럭원 신호를 전달받아 동일비율로 딜레이를 추가하면서 전달시키는 상호 직렬연결된 다수의 딜레이부와;

상기 다수의 딜레이부 중 최종 딜레이부에서 출력되는 신호와 초기의 입력클럭원 신호를 입력받아 이들 두신호의 비교에 의해 주기 및 위상차를 검출하는 위상 주파수 감지부와;

상기 위상 주파수 감지부의 출력신호를 샘플링하여 상기 다수의 딜레이부 각각으로 딜레이량 가감 제어신호를 전달함으로써, 상기 다수의 딜레이부에서 형성되는 총 지연시간이 상기 입력 클럭원신호의 주기와 동일해지도록 제어하는 딜레이량 조절부를 구비하는 것을 특징으로 하는 듀티 사이클 보정장치.

청구항 3. 제 1 항에 있어서,

상기 듀티비 조절수단은 상기 위상 제어수단으로부터 180° 의 위상차를 갖고 발생된 두 클럭신호를 각각 입력받아 일정주기를 갖는 펄스신호를 발생시키는 제1 및 제2 펄스 발생부와;

상기 제1 및 제2 펄스 발생부로부터 발생된 펄스신호를 입력받아 이들의 상태에 따라 각각 다른 전위레벨의 신호를 래치시키는 래치부를 구비하는 것을 특징으로 하는 듀티 사이클 보정장치.

청구항 4. 제 3 항에 있어서,

상기 제1 및 제2 펄스 발생부는 각각의 입력신호를 소정의 시간 반전 딜레이시켜 전달하도록 직렬연결된 홀수개의 인버터와;

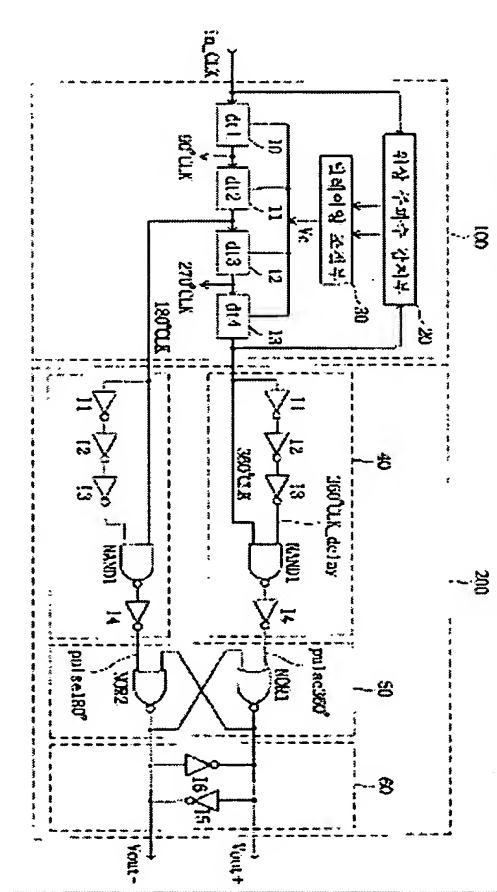
상기 최종 인버터의 출력신호 및 상기 입력신호를 전달받아 앤드조합하는 논리소자로 구성하는 것을 특징으로 하는 듀티 사이클 보정장치.

청구항 5. 제 3 항에 있어서,

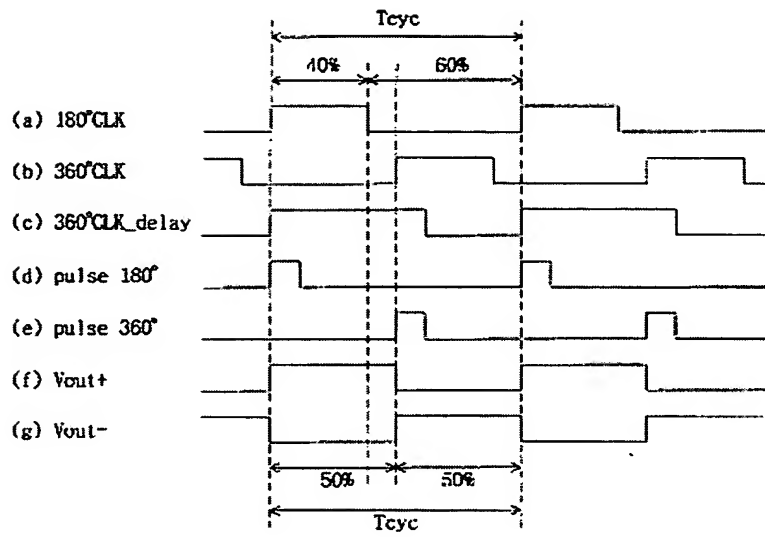
상기 래치부는 RS-플립플롭으로 구성하는 것을 특징으로 하는 듀티 사이클 보정장치.

도면

도면1



5B2



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.